

Definitief ontwerp Project VGA  
Instituut voor Informatica, Hogeschool van Amsterdam  
Michael Meeuwisse, 30 Sep 2007



## **Inleiding**

Dit definitief ontwerp is onderdeel van project vga wat als doelstelling heeft om een goedkope, open source, herprogrammeerbare videokaart te ontwikkelen. Hier wordt de motivatie voor de keuzes van de verscheidene chipsets besproken. Ook zijn verwijzingen naar de engelse editie van de documentatie opgenomen en verwijzingen naar achtergrond research en datasheets.

Eerst worden de hoofdcomponenten besproken welke grotendeels de functionaliteit opmaken van het systeem. Daarna komt de voeding en klokken aan bod, om te eindigen met de resterende benodigde componenten en een korte bespreking van de connectoren. Verder wordt de configuratie van de FPGA besproken en is uitgewerkt welke databussen aanwezig zullen zijn tussen de verscheidene componenten en connectoren.

## Componenten

Engelse versie van dit onderdeel is te vinden op <http://wacco.mveas.com/entry19.htm>

De hoofdcomponenten:

1. FPGA, Xilinx spartan 3 s400 (208 PQFP)  
Grootste beschikbare xilinx fpga welke nog in een flip package zit met een goede 'bang for the buck'. Is daardoor met inhouse tools te plaatsen op een PCB. Een kleinere package is beschikbaar maar heeft niet genoeg GPIO pins. Er is een grotere optie beschikbaar in de E serie, de XC3S1200E, maar deze is momenteel lastig verkrijgbaar.  
<http://direct.xilinx.com/bvdocs/publications/ds099.pdf>  
xc3s400-4pq208c
2. CPLD, Xilinx XC95144XL-7 (144 TQFP)  
Goedkope CPLD met een lage pin-to-pin delay. Deze kan hierdoor direct worden gebruikt voor de PCI aansluiting. Omdat de CPLD intern flash heeft, is er geen 'boot lag' waardoor de PCI kaart niet herkend zal worden, iets wat de FPGA wel heeft en daardoor niet bruikbaar is als PCI interface. Een vergelijkbaar project voor PCI is al ontwikkeld. Indien de CPLD te klein blijkt te zijn is er een pin-compatible upgrade beschikbaar welke de capaciteit verdubbeld.  
[http://www.xilinx.com/support/documentation/data\\_sheets/ds054.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds054.pdf)  
<http://www.ben.com/minipci/>
3. SDRAM, Micron MT48LC4M32B2P-6 (86 TSOP)  
128Mb (x32) is een goedkope, redelijk snelle SDRAM module welke op 167MHz z'n werk doet. Doordat er niet veel verschil is in de prijs klasse met andere x32 modules, deze bandbreedte is qua pincount ongeveer het grootste wat we kunnen nemen ivm de FPGA, is er gekozen voor deze 16MB module. Een kleinere bus zou problemen kunnen opleveren doordat de refresh voor de dac teveel cycles zou opeisen.  
<http://download.micron.com/pdf/datasheets/dram/sdram/128MbSDRAMx32.pdf>
4. DAC, Fairchild FMS3818KRC (48 LQFP)  
Deze DAC is ontworpen voor high-speed functionaliteit, bied 3x8bit vertaling aan en is ontworpen voor PC video systemen. Met een maximale sampling van 180 Ms/s is er ruim voldoende bandbreedte, en ondersteuning van oa. sync-on-green maakt deze chip compatible met een ruim assortiment aan displays.  
<http://www.fairchildsemi.com/ds/FM/FMS3818.pdf>
5. JTAG, FTDI FT2232D (48 LQFP)  
Om alle componenten te kunnen programmeren via JTAG is een USB chip meegenomen in het ontwerp. Dit vergemakkelijkt het testen en zorgt ervoor dat er geen externe programmer ed. meer nodig is. De FT2232D heeft een geavanceerde bit-bang modus welke overweg kan met JTAG.  
[http://www.ftdichip.com/Documents/DataSheets/DS\\_FT2232D.pdf](http://www.ftdichip.com/Documents/DataSheets/DS_FT2232D.pdf)  
[http://www.ftdichip.com/Projects/MPSSE/FT2232C-Proj03\\_v11.pdf](http://www.ftdichip.com/Projects/MPSSE/FT2232C-Proj03_v11.pdf)
6. FLASH, XCF04S (20 TSSOP)  
Deze ISP PROM is via JTAG te flashen en heeft 4Mbit de ruimte voor configuratiedata van de FPGA (2Mbit minimaal) en user data zoals de Expansion ROM van PCI en bitmaps voor fonts. De chip heeft een seriële interface en neemt niet veel ruimte in.  
<http://direct.xilinx.com/bvdocs/publications/ds123.pdf>

## Voeding

De PCI bus (pagina 143 van de officiële specificatie 2.2) levert verscheidene voltages aan, waarvan we de 5V en 3.3V direct gebruiken op de kaart. De USB chip moet als enige worden gevoed door 5V, de rest kan vrijwel direct op de 3.3V aangesloten worden. De FPGA heeft nog een Vccaux van 2.5V en een Vccint van 1.2V nodig. Doordat het gebruik kan variëren naar gelang hoe de FPGA is geprogrammeerd, zijn er geen harde getallen te vinden over de maximale current welke nodig is voor deze voedingen.

Een referentieontwerp (de spartan 3 starters kit) gebruikt voor de 2.5V een LM1086 welke 1.5A kan leveren, en voor de 1.2V een FAN1112 welke 1A kan leveren. De LM1086 is los verkrijgbaar en zal dan ook gebruikt worden in dit ontwerp. De FAN1112 daarentegen niet, en daarvoor is in de plaats een MCP1726 gebruikt welke ook 1A kan leveren op 1.2V.

MCP1726-1202E/SN-ND 1.2V 1A LDO REG 8SOIC  
LM1086CS-2.5-ND 2.5V 1.5A LDO REG TO-263

Voor het correct ontkoppelen van de voeding voor de FPGA is een document beschikbaar van xilinx welke de theorie achter ontkoppelen bespreekt en beste methodes behandelt.

<http://www.xilinx.com/bvdocs/appnotes/xapp623.pdf>

## Klok

De interne klok van de spartan 3 kan zonder problemen via een grote variëteit ingesteld worden met de aanwezige Digital Clock Managers. Hiervoor is een kristal nodig van 50MHz, en kan onder andere een klok worden gegenereerd van 166MHz voor de geheugenmodule via een 10/3 verhouding.

Voor de VGA aansluiting is een klok nodig van 25.175 MHz en, voor 360/720 etc resoluties, een klok van 28.322 MHz. Deze laatste is 9/8e van de 25.175 MHz en kristallen van deze snelheid zijn zonder problemen beschikbaar. De 28.322 MHz wordt dan gegenereerd via een DCM.

Na beraad is besloten om een 25MHz klok te genereren van de 50MHz klok. 25MHz zal zonder problemen werken en dit scheelt in pcb ruimte en kosten van een tweede klok.

De PCI bus levert een klok aan van 33 of 66 MHz, afhankelijk van de configuratie. De bus tussen de spartan 3 en XC95144XL wordt gestuurd door deze klok of een klok van de spartan 3. De XC95144XL heeft hierdoor geen extra externe klok nodig om te functioneren.

De FT2232D heeft een externe 6 MHz klok nodig in de vorm van een ceramic resonator.  
XC678CT-ND ECS-60-S-5P-TR 6.00MHZ SERIES SMD

SE2838CT-ND SG-636PCE 25.175MHZ 3.3V SMD - is niet langer onderdeel van het ontwerp.

535-9577-1-ND 50.000 MHz 3.3V SMD

<http://www.abracon.com/Oscillators/ASEseries.pdf>

De twee klokinputs voor de spartan 3 worden aangesloten op de input pins aan de onderzijde van de chip. De andere zes (waarvan vier aan de bovenzijde, richting de geheugencontroller) kunnen daardoor voor IO gebruikt worden.

## Andere componenten

De resterende componenten worden hier kort aangestipt met de order codes van digikey. Een volledig overzicht is te vinden op [http://wacco.mveas.com/digikey\\_order.php](http://wacco.mveas.com/digikey_order.php)

De bestelling is geplaatst als PUBLIC DOC INFO FILTERED

Een Ferrite bead voor het ontkoppelen van de DAC voeding zodat deze minder storing heeft en een beter beeld kan genereren is opgenomen in het ontwerp.

240-2390-1-ND Steward 0805 600 Ohm SMD

[http://www.steward.com/web\\_info/CADPrints/Sales/MI0805K601R-10-A.pdf](http://www.steward.com/web_info/CADPrints/Sales/MI0805K601R-10-A.pdf)

MOSFETS voor I2C level switch @ VGA; BSS138LT1GOSCT-ND

Status leds: L62401CT-ND LED HI EFF RED CLEAR 0805 SMD

Leds hebben 2V nodig met 20mA, output pinnen van cpld/fpga zijn 3.3V, dus  $(3.3 - 2.0) / 0.02 = 65$  Ohm, dichtsbijzijnde is 68R.

Resistors thin film 0603

27R 10x RR08Q27DCT-ND

68R 50x RR08Q68DCT-ND

75R 20x RR08Q75DCT-ND

82R5 20x RR08Q82.5DCT-ND

348R 10x RR08P348DCT-ND

470R 10x RR08P470DCT-ND

1K5 10x RR08P1.5KDCT-ND

2K2 10x RR08P2.2KDCT-ND

4K7 20x RR08P4.7KDCT-ND

10K 50x RR08P10.0KDCT-ND

Capacitors ceramic - X7R / X5R - 0603

27pF: PCC270ACVCT-ND 10x

1nF: PCC1772CT-ND 10x

33nF: PCC1769CT-ND 10x

0.01uF: PCC1784CT-ND 150x

0.1uF: PCC1762CT-ND 100x

elco 10uF: 493-2099-1-ND 50x

EEPROM voor FTDI

93C46B/SN-ND serial 1K 8SOIC

## Connectors

Extension port: HRP14H-ND CONN HEADER LOW-PRO 14POS GOLD

De PCI kaart is geconfigureerd voor 15W maximaal. De 12V lijn mag maar 500mA gebruiken en de -12V maar 100mA maximaal. Alle IO lijnen zijn direct aan de FPGA gekoppeld dus mogen alleen worden aangestuurd met 3.3V.

### DVI

DVI bestaat uit twee digitale links welke via TMDS signalen verstuurd naar het scherm. Per link kan een resolutie van 2.75 MP @ 60HZ worden verstuurd. Om DVI compatible te zijn moet dus minimaal een link worden ondersteund, welke hoogfrequent data encoding moet doen en dit moet versturen via een 8b/10b encoding op een differential pair, wat werkt via current mode logic. Door de hoge benodigde snelheid op de output pins is het niet mogelijk om dit direct op de FPGA te doen, en is een externe chip nodig. De gevonden externe chip ti tfp410 kan dit, maar heeft nogmaals 24 bits nodig aan RGB lijnen en dit is vrijwel niet te routen. De chip levert geen analog out dus de fms3818 is nog steeds nodig en levert maar 1 link. Het is qua prijs en formaat niet efficiënt om deze chip in het ontwerp toe te voegen, en daarom is er niet gekozen voor een DVI aansluiting.

De volgende VGA connector zal gebruikt worden; 815RFE-ND

<http://www.norcomp.net/rohspdfs/Connectors/18Y/181/181-YYY-213RYY1Rev5.pdf>

Voor USB zal een mini-USB-B connector gebruikt worden omdat dit een compact alternatief is voor de standaard USB-B, en de kaart self-powered is.

H2961CT-ND UX60A-MB-5ST

### FPGA configuratie

Voor configuratie van de spartan 3 is een interne gegenereerde clock beschikbaar. De PROM is geschakeld aan de FPGA via een master serial interface. Deze kan werken op een frequentie van 25MHz, wat snel genoeg is in dit ontwerp. Omdat de FPGA de clock genereerd kan de rest van de PROM gebruikt worden voor user config data. Let wel dat standaard de klok maar 5MHz is (en daarmee begint) en dat dit ingesteld moet worden in de configuratie data via iMPACT.

xapp453: Bevat schema voor master serial prom + jtag in een 3.3V systeem (Fig. 4)

xapp694: Details over user data in prom

DS099-4: Pagina 111 - M[2:0] config, CCLK info. M[2:0] moet worden ingesteld op 000b.

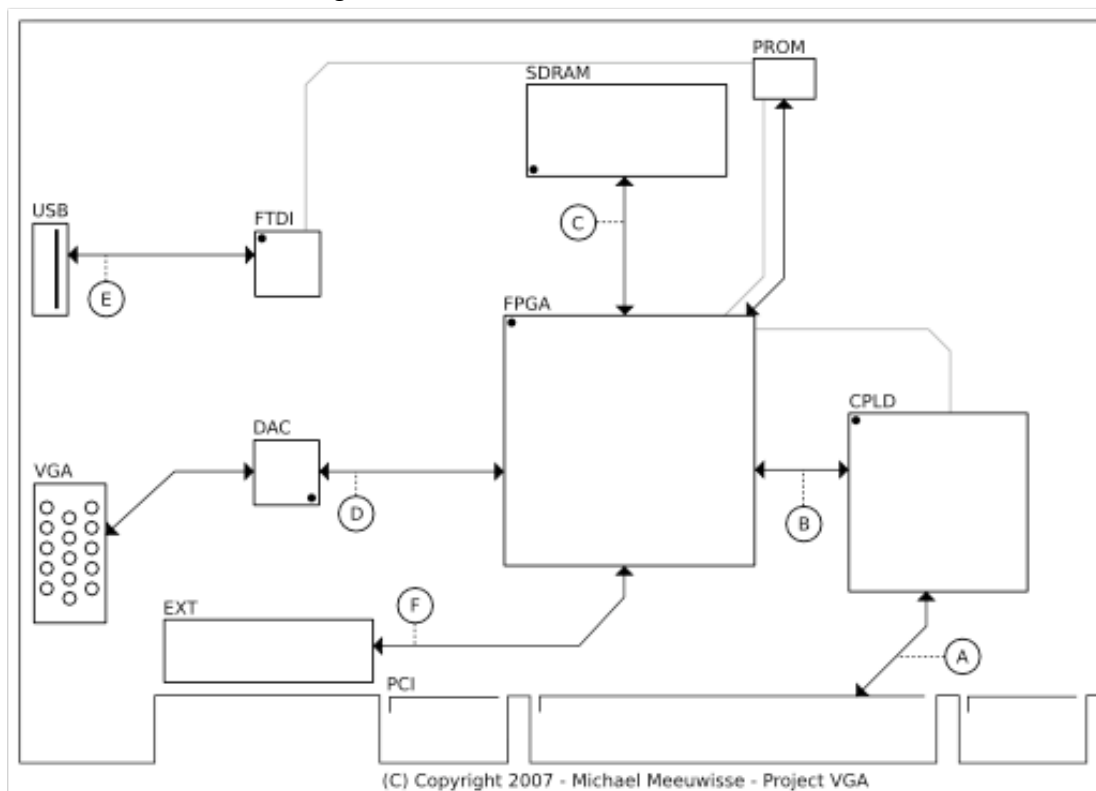
Voor een compatible LVTTTL / LVCMOS met de FPGA moet Vcco aangesloten zijn op 3.3V en is geen Vref of Vtt nodig. De VREF pinnen kunnen daardoor als IO geconfigureerd en gebruikt worden.

UG331: Pagina 331 - 3.3V IO

Het systeem kan geconfigureerd worden via de expansion ROM van de PCI specificatie welke de kaart beschikbaar stelt door user data in RAM te laden uit de PROM waar ook de FPGA mee geprogrammeerd wordt. Als het systeem BIOS vervolgens om deze image vraagt, kan het worden afgehandeld als een read operatie. De PROM moet hiervoor wel groot genoeg zijn, de FPGA heeft ~1.6Mbit nodig, de PROM is daarom 4Mbit groot. Het inladen van de user data zal wel wat tijd kosten omdat de PROM serieel is, maar is snel genoeg om op tijd klaar te zijn. Indien dit niet het geval is kan er nog een retry signaal naar de PCI bus gestuurd worden om het verzoek uit te stellen.

## Databussen

Er zijn meerdere databussen tussen de verschillende componenten, welke hieronder kort worden beschreven en toegelicht.



1. Bus A, PCI naar CPLD - Dit is een 33/66MHz multiplexed A/D bus welke een minimale pincount heeft van 45 pins. De bus zelf is 32bits wide en levert een clock in het geval dat er een device is geregistreerd. Via specifieke pinnen wordt duidelijk gemaakt of de bus op 3.3V danwel 5V werkt. De CPLD is volledig compatible met beide waardes, dus zal het eindproduct ook compatible zijn met 3.3V en 5V systemen. Een interrupt pin is ook verbonden met de CPLD, waardoor het totaal op 46 lijnen komt.
2. Bus B, CPLD naar FPGA - Dit is een vrij te implementeren bus maar het is waarschijnlijk makkelijker om niet twee verschillende klokdomeinen op de CPLD te hebben, namelijk een voor de PCI en een voor deze bus. Daarom is deze bus geklokt op dezelfde klok als de PCI bus, 32 bits wide, multiplexed. Op dit moment wordt uitgegaan van een 38 pins nodig, al staat nog niet vast welke pin wat zal doen. Het is hier makkelijker om teveel pinnen te hebben hier dan te weinig.
3. Bus C, FPGA naar SDRAM - Omdat de sdrum niet gemultiplexed is, is er een bus nodig welke een uit een totaal van 56 lijnen bestaat. Hiervan zijn er onder andere 32 bits data en 12 (+2 bank) bits adres lijnen. De bus werkt op 3.3V en zal werken op een maximum frequentie van 166 MHz. Om het routen van de datalijnen te vergemakkelijken zijn bits 8 t/m 15 en bits 24 t/m 32 gewapped, let dus op bij de pinout.
4. Bus D, FPGA naar DAC - De RGB zijn ieder 8 bits, er is een sync, blank en een clock nodig voor het volledig aansturen van de DAC. Voor het gemak rekenen we de directe hsync en vsync ook mee in deze bus, wat het totaal aantal lijnen op 29 brengt.

5. Bus E, USB naar JTAG - De JTAG bus is 4 pins welke de PROM, FPGA, CPLD en USB controller verbinden. De bus werkt volledig op 3.3V.
6. Bus F, Extensie poort - Voor toekomstige uitbreidingen. De pinout is als volgt:  
1 - 8; datalines, 9 & 11; gnd, 10; 3.3V (IO voltage), 12; 5V, 13; 12V, 14; -12V.

Het definitieve schema is bijgeleverd als Cadsoft Eagle bestand (.sch) en als illustratie (.png). Nieuw gedefinieerde componenten welke nog niet beschikbaar waren in Eagle zijn te vinden in de library (.lbr) en versie 1.2 van de uiteindelijke printplaat is ook aangeleverd als illustratie (eagle capture), photoshop rendering en Eagle formaat (.brd).